



#2

XA-9638
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE
In re the application of:

Takayuki TAMURA et al.

Appln. No.: 10/082,291

Group Art Unit: 2818

Filed: February 26, 2002

For: MEMORY CARD AND MEMORY CONTROLLER

RECEIVED
APR - 1 2002
TC 2800 MAIL ROOM

* * *

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Applicants hereby claim the priority of Japanese
Patent Application No. 2001-241929 filed August 9, 2001,
and submit herewith a certified copy of said application.


Respectfully submitted,

MWS:jab

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, VA 22102-3833
Tel: (703) 610-8652

March 29, 2002

By:


Mitchell W. Shapiro
Reg. No. 31,568

RECEIVED
JUL 17 2002
Technology Center 2100



10/082, 291
GAU 2818

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 8月 9日

出 願 番 号

Application Number:

特願2001-241929

[ST.10/C]:

[JP2001-241929]

出 願 人

Applicant(s):

株式会社日立製作所

株式会社日立超エル・エス・アイ・システムズ

RECEIVED
APR - 1 2002
JC 2800 MAIL ROOM

RECEIVED

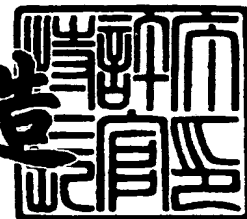
JUL 17 2002

Technology Center 2100

2002年 3月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3013379

【書類名】 特許願

【整理番号】 H01004221

【提出日】 平成13年 8月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/02

【発明者】

 【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
 超エル・エス・アイ・システムズ内

 【氏名】 田村 隆之

【発明者】

 【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
 超エル・エス・アイ・システムズ内

 【氏名】 渋谷 洋文

【発明者】

 【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
 超エル・エス・アイ・システムズ内

 【氏名】 後藤 啓之

【発明者】

 【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
 超エル・エス・アイ・システムズ内

 【氏名】 塩田 茂雅

【発明者】

 【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
 超エル・エス・アイ・システムズ内

 【氏名】 中村 靖宏

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 047-361-8861

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリカード及びメモリコントローラ

【特許請求の範囲】

【請求項 1】 不揮発性メモリと、前記不揮発性メモリの動作を制御するメモリコントローラとを有するメモリカードであって、
前記メモリコントローラは、所定のプロトコルに従って外部とインタフェース可能であり、外部からのアクセス指示に応答するメモリ制御に際して外部から前記不揮発性メモリへ書込むデータにエラー訂正コードを付加する処理又は前記不揮発性メモリから外部へ読み出すデータに対し前記エラー訂正コードを用いてエラー検出・訂正を行う処理を制御し、また、前記外部からのアクセス指示に応答する処理とは別に前記不揮発性メモリの記憶情報に対し前記エラー訂正コードを用いてエラー検出・訂正を行う処理を制御することを特徴とするメモリカード。

【請求項 2】 前記メモリコントローラは、前記外部からのアクセス指示に
応答する処理とは別のエラー検出・訂正の処理を所定時間毎に実行させる演算制御手段を有することを特徴とする請求項 1 記載のメモリカード。

【請求項 3】 前記メモリコントローラは、前記外部からのアクセス指示に
応答する処理とは別のエラー検出・訂正の処理をメモリカードへの電源投入に
応答して実行させる演算制御手段を有することを特徴とする請求項 1 又は 2 記載の
メモリカード。

【請求項 4】 前記メモリコントローラは、前記外部からのアクセス指示に
応答する処理とは別のエラー検出・訂正の処理において、エラー発生回数が所定
回数を超えたとき、エラー訂正された記憶情報の記憶領域を変更する演算制御手
段を有することを特徴とする請求項 1 記載のメモリカード。

【請求項 5】 前記メモリコントローラは、前記外部からのアクセス指示に
応答する処理とは別のエラー検出・訂正の処理において、エラー発生ビット数が
所定ビット数を超えたとき、エラー訂正された記憶情報の記憶領域を変更する演
算制御手段を有することを特徴とする請求項 1 又は 4 記載のメモリカード。

【請求項 6】 前記不揮発性メモリは、情報記憶領域として、データ領域、
前記データ領域の不良部分を代替する代替領域、前記データ領域と代替領域との

関係を対応付ける代替管理領域、及びパラメータ領域を有し、
前記演算制御手段は、前記パラメータ領域から前記所定回数の情報を取得し、また、前記代替領域を前記エラー訂正された記憶情報の記憶領域変更先とすることを特徴とする請求項 4 記載のメモリカード。

【請求項 7】 前記不揮発性メモリは、情報記憶領域として、データ領域、前記データ領域の不良部分を代替する代替領域、前記データ領域と代替領域との関係に対応付ける代替管理領域、及びパラメータ領域を有し、
前記演算制御手段は、前記パラメータ領域から前記所定ビット数の情報を取得し、また、前記代替領域を前記エラー訂正された記憶情報の記憶領域変更先とすることを特徴とする請求項 5 記載のメモリカード。

【請求項 8】 前記不揮発性メモリは、情報記憶領域として、データ領域、前記データ領域の不良部分を代替する代替領域、前記データ領域と代替領域との関係に対応付ける代替管理領域、及びパラメータ領域を有し、
前記演算制御手段は、エラー検出・訂正処理で発生したエラー発生回数を前記不揮発性メモリの対応するデータ領域に記録し、また、前記代替領域を前記エラー訂正された記憶情報の記憶領域変更先とすることを特徴とする請求項 4 記載のメモリカード。

【請求項 9】 前記演算制御手段は、プログラム制御されるデータプロセッサであることを特徴とする請求項 2 乃至 8 の何れか 1 項記載のメモリカード。

【請求項 10】 所定のプロトコルにしたがって入出力動作可能なホストインタフェース回路と、不揮発性メモリに接続可能なメモリインタフェース回路と、前記ホストインタフェース回路及びメモリインタフェース回路に接続された制御回路とを有し、

前記制御回路は、前記ホストインタフェース回路から入力される書込みデータにエラー訂正コードを付加したデータをメモリインタフェース回路から書き込み制御情報と共に出力する第 1 処理と、メモリインタフェース回路から出力される読み出し制御情報に従ってメモリインタフェース回路に入力される読み出しデータのエラー検出・訂正を行ったデータを前記ホストインタフェース回路から出力する第 2 処理と、メモリインタフェース回路から出力される読み出し制御情報に従

ってメモリインタフェース回路に入力される読み出しデータに対してエラー検出・訂正を行ったデータをメモリインタフェース回路から書き込み制御情報と共に出力する第3処理とを制御可能であることを特徴とするメモリコントローラ。

【請求項11】 前記制御回路は、前記第3処理を所定時間毎に実行させる演算制御手段を有することを特徴とする請求項10記載のメモリコントローラ。

【請求項12】 前記制御回路は、前記第3処理をメモリコントローラへの電源投入に応答して実行させる演算制御手段を有することを特徴とする請求項10又は11記載のメモリコントローラ。

【請求項13】 前記演算制御手段は、前記第3処理において、エラー発生回数が所定回数を超えたとき、エラー訂正された読み出しデータの記憶領域を変更する書き込み制御情報を出力させることを特徴とする請求項11又は12記載のメモリコントローラ。

【請求項14】 前記演算制御手段は、前記第3処理において、エラー発生ビット数が所定ビット数を超えたとき、エラー訂正された読み出しデータの記憶領域を変更する書き込み制御情報を出力させることを特徴とする請求項11又は12記載のメモリコントローラ。

【請求項15】 前記演算制御手段は、前記メモリインタフェース回路が読み出しデータを入力するとき前記所定回数の情報をメモリインタフェース回路から入力することを特徴とする請求項13記載のメモリコントローラ。

【請求項16】 前記演算制御手段は、前記メモリインタフェース回路が読み出しデータを入力するとき前記所定ビット数の情報をメモリインタフェース回路から入力することを特徴とする請求項14記載のメモリコントローラ。

【請求項17】 前記演算制御手段は、前記第2処理及び第3処理におけるエラー検出・訂正で発生したエラー発生回数を前記メモリインタフェース回路から前記書き込み制御情報と共に出力させることを特徴とする請求項13又は14記載のメモリコントローラ。

【請求項18】 前記制御回路は、前記エラー訂正コードの生成とエラー検出・訂正に利用されるECC回路を有して成るものであることを特徴とする請求項10乃至17の何れか1項記載のメモリコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性メモリを搭載したメモリカード、不揮発性のメモリカードに適用されるメモリコントローラに関し、例えばハードディスク互換のフラッシュメモリ搭載メモリカードに適用してその記憶情報の信頼性向上に有効な技術に関する。

【0002】

【従来技術】

フラッシュメモリ等の電氣的に消去及び書き込み可能な不揮発性メモリを用いたメモリカードでは、メモリコントローラにECC回路を搭載し、不揮発性メモリへのデータ書き込みに際してエラー訂正コードを生成し、不揮発性メモリからのデータ読み出しに際してエラー訂正コードを用いたエラー検出・訂正が行われる。このように、従来のフラッシュメモリを用いた記憶装置では、ホストコンピュータがフラッシュメモリに書き込んだデータに対するデータエラー発生の検証は、ホストコンピュータがそのデータを読み出すときに行われるだけである。

【0003】

【発明が解決しようとする課題】

このため、従来のメモリカードでは、フラッシュメモリのリテンション等によるデータエラーに対して、ホストコンピュータがデータを読み出すまで、エラー訂正を行うことができない。フラッシュメモリなどの不揮発性メモリセルはトランジスタの閾値電圧の相異として情報を記憶する。この不揮発性メモリセルの特性は経時的に劣化し、紫外線等の外的要因によって劣化する虞もある。したがって、ホストコンピュータがフラッシュメモリからデータを読み出したときは最早訂正可能なビット数を超えてデータエラーが進行している場合もある。本発明者は、フラッシュメモリに格納された全データに対する検証を能動的に行い、訂正データの書き戻しを有効に行うことが、記憶情報の信頼性向上の為に望ましいことを見出した。

【0004】

本発明の目的は、ホスト装置がメモリカードの不揮発性メモリから記憶情報を読み出さなくても不揮発性メモリのデータ保持に対する信頼性を向上させることのできるメモリカードを提供することにある。

【 0 0 0 5 】

本発明の別の目的は、メモリカードにおける不揮発性メモリのデータ保持に対する信頼性向上をホスト装置に負担をかけずに実現できるメモリコントローラを提供することにある。

【 0 0 0 6 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 0 7 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 0 8 】

〔 1 〕 本発明に係るメモリカードは、不揮発性メモリ（ 2 ）と、前記不揮発性メモリの動作を制御するメモリコントローラ（ 4 ）とを有する。前記メモリコントローラは、所定のプロトコルに従って外部とインタフェース可能であり、外部からのアクセス指示に応答するメモリ制御に際して外部から前記不揮発性メモリへ書込むデータにエラー訂正コードを付加する処理又は前記不揮発性メモリから外部へ読み出すデータに対し前記エラー訂正コードを用いてエラー検出・訂正を行う処理を制御し、また、前記外部からのアクセス指示に応答する処理とは別に前記不揮発性メモリの記憶情報に対し前記エラー訂正コードを用いてエラー検出・訂正を行う処理を制御する。要するに、メモリコントローラは、外部からのアクセス要求に従って記憶情報を外部に読み出すのとは別に、記憶情報のエラー検出・訂正を行う。したがって、ホスト装置がメモリカードの不揮発性メモリから記憶情報を読み出さなくても不揮発性メモリのデータ保持に対する信頼性を向上させることができる。

【 0 0 0 9 】

前記外部からのアクセス指示に応答する処理とは別のエラー検出・訂正の処理については、メモリコントローラの演算制御手段が所定時間毎に、或はメモリカードへの電源投入に応答して実行させてよい。前者は演算制御手段のタイマ・カウンタ手段などを用いて行えばよい。後者は電源投入時の初期化動作の一環として行えばよい。

【 0 0 1 0 】

上記エラー検出・訂正処理において訂正回数すなわちエラー発生回数が多ければ何れ訂正不能なエラー発生 of 虞が強くなる。訂正不能になる前に対処するには、前記エラー検出・訂正の処理において、エラー発生回数が所定回数を越えたとき、エラー訂正された記憶情報の記憶領域を変更する演算制御手段を採用すればよい。同様の観点より、演算制御手段には、エラー発生ビット数が所定ビット数を越えたとき、エラー訂正された記憶情報の記憶領域を変更させてもよい。

【 0 0 1 1 】

前記不揮発性メモリは、ハードディスク互換のファイルメモリシステム等に利用され、例えば、情報記憶領域として、データ領域、前記データ領域の不良部分を代替する代替領域、前記データ領域と代替領域との関係に対応付ける代替管理領域、及びパラメータ領域を有する。このとき、前記演算制御手段は前記所定回数の情報又は所定ビット数の情報を前記不揮発性メモリのパラメータ領域から取得する。要するに、エラー検出・訂正処理に利用する前記所定回数の情報等をパラメータ領域に不揮発的に保持し、電源遮断によってもその情報が失われないようになる。

【 0 0 1 2 】

また、前記演算制御手段は、エラー検出・訂正処理で発生したエラー発生回数を前記不揮発性メモリの対応するデータ領域に記録しておけば、セクタ単位のよな所定記憶領域毎 of エラー発生回数の情報管理を容易化できる。

【 0 0 1 3 】

前記演算制御手段は、プログラム制御されるデータプロセッサ等により構成するのが簡単である。

【 0 0 1 4 】

〔2〕本発明に係るメモリコントローラは、所定のプロトコルにしたがって入出力動作可能なホストインタフェース回路（10）と、不揮発性メモリ（2）に接続可能なメモリインタフェース回路（12）と、前記ホストインタフェース回路及びメモリインタフェース回路に接続された制御回路（11，13，14）とを有する。前記制御回路は、前記ホストインタフェース回路から入力される書き込みデータにエラー訂正コードを付加したデータをメモリインタフェース回路から書き込み制御情報と共に出力する第1処理と、メモリインタフェース回路から出力される読み出し制御情報に従ってメモリインタフェース回路に入力される読み出しデータのエラー検出・訂正を行ったデータを前記ホストインタフェース回路から出力する第2処理と、メモリインタフェース回路から出力される読み出し制御情報に従ってメモリインタフェース回路に入力される読み出しデータに対してエラー検出・訂正を行ったデータをメモリインタフェース回路から書き込み制御情報と共に出力する第3処理とを制御可能である。このメモリコントローラはメモリインタフェース回路に不揮発性メモリが接続されて回路基板に実装され、ホストインタフェース回路を介してホスト装置に接続される。このメモリコントローラによれば、ホストインタフェース回路からのアクセス要求に従ってメモリインタフェース回路から読み込んだ記憶情報をホストインタフェースに出力する読み出し制御動作とは別に、不揮発性メモリの記憶情報に対するエラー検出・訂正を行うことができる。したがって、ホスト装置が不揮発性メモリから記憶情報を読み出さなくても不揮発性メモリのデータ保持に対する信頼性を向上させることが可能になる。

【0015】

前記第3処理については、前記制御回路に演算制御手段（11）が所定時間毎に、或はメモリコントローラへの電源投入に応答して、実行させてよい。

【0016】

前記演算制御手段は、前記第3処理において、エラー発生回数が所定回数を越えたとき、エラー訂正された読み出しデータの記憶領域を変更する書き込み制御情報を出力させればよい。同様の観点より、エラー発生ビット数が所定ビット数を越えたとき、エラー訂正された読み出しデータの記憶領域を変更する書き込み

制御情報を出力させてもよい。

【0017】

前記演算制御手段は、前記メモリインタフェース回路が読み出しデータを入力するとき前記所定回数の情報をメモリインタフェース回路から入力すればよい。同様に、前記演算制御手段は、前記メモリインタフェース回路が読み出しデータを入力するとき前記所定ビット数の情報をメモリインタフェース回路から入力してよい。エラー検出・訂正に利用される前記所定回数の情報などはメモリインタフェース回路に接続される不揮発性メモリに格納されることになるから、メモリコントローラの電源遮断によってもその所定回数の情報などは失われない。また、前記演算制御手段は、前記第2処理及び第3処理におけるエラー検出・訂正で発生したエラー発生回数を前記メモリインタフェース回路から前記書き込み制御情報と共に出力させればよい。エラー検出・訂正処理で発生したエラー発生回数は前記不揮発性メモリの対応するデータ領域に記録されることになるから、セクタ単位のような所定記憶領域毎のエラー発生回数の情報管理を容易化できる。

【0018】

前記制御回路は、前記エラー訂正コードの生成とエラー検出・訂正に利用されるECC回路(14)を有してよい。

【0019】

〔3〕本発明の更に具体的な態様によると、メモリカードは、不揮発性メモリ例えば複数のフラッシュメモリと、ホストコンピュータとのインタフェース回路と、フラッシュメモリのインタフェース回路と、ホストコンピュータとフラッシュメモリ間のデータ転送の制御やエラー検出・訂正の制御を行うコントローラと、データ転送に使用されるデータバッファとを有する。コントローラは、ホストコンピュータがフラッシュメモリに対してアクセスを行っていない時間(アイドル時間)を計測し、ある特定時間を超えたときに、フラッシュメモリに格納されている全データをセクタ(所定バイト数のデータ領域)単位にデータバッファに読み出し、エラーチェックを行う。また、電源投入時やホストコンピュータがコマンドによりデータの検証を行うように指示した場合にも、同様にフラッシュメモリ内のデータに対してエラーチェックを行う。読み出したデータにエラーが発

生した場合には、エラー訂正を行い、フラッシュメモリに書き戻す。このとき、フラッシュメモリへ書き戻す態様として、以下の態様がある。①以前に発生したエラー回数をカウントしておき、ある特定の回数以下の場合には同一の場所に、ある特定の回数を超えた場合には別の場所に書き戻す。②発生したエラーの度合いによって、同一場所か別の場所に書き戻す（エラーの発生した個所が3箇所以上なら別の場所に書き戻す、など）。③常に同一の場所に書き戻す。④常に別の場所に書き戻す。以上の4種類の書き戻し態様は、それぞれ単独または組み合わせて処理可能である。

【0020】

フラッシュメモリ内に格納されているデータ検証を（ホストコンピュータの動作と係わりなく）行うことで、時間的経過によって発生するフラッシュメモリ内のデータ変化（リテンションエラーなど）を検出し、そのエラーを訂正してフラッシュメモリに書き戻すことで、データの信頼性を保持することができる。また、このデータ検証を定期的に行うことで、時間的経過により発生するデータ変化を常に正常なデータに保つことが可能なので、データ信頼性の確保が可能である。時間的経過によるデータ変化が著しいフラッシュメモリを用いた場合でも、定期的にフラッシュメモリのデータを検証することで、データの信頼性を確保することができる。

【0021】

【発明の実施の形態】

図1には本発明に係るメモリカードの一例が示される。メモリカード1は不揮発性メモリ例えばフラッシュメモリ2と、DRAM (Dynamic Random Access memory) 又はSRAM (Static Random Access Memory) 等から成るデータバッファ3と、前記フラッシュメモリ2及びデータバッファ3のメモリ動作を制御するメモリコントローラ（フラッシュメモリコントローラとも記す）4とを、実装基板に備えて成る。フラッシュメモリ2は例えばメモリカードに必要な記憶容量に従って複数個のフラッシュメモリチップとして用意される。

【0022】

前記フラッシュメモリ2は、電氣的に消去及び書き込み可能な不揮発性のメモ

リセルトランジスタを多数有する。メモリセルトランジスタ（フラッシュメモリセルとも記す）は、特に制限されないが、半導体基板若しくはウェル内に形成されたソース及びドレイン、前記ソースとドレインとの間のチャンネル領域にトンネル酸化膜を介して形成されたフローティングゲート、そしてフローティングゲートに層間絶縁膜を介して重ねられたコントロールゲートによって構成される。コントロールゲートはワード線に、ドレインはビット線に、ソースはソース線に接続される。前記メモリセルトランジスタは、前記フローティングゲートに電子が注入されると閾値電圧が上昇し、また、前記フローティングゲートから電子を引き抜くと閾値電圧が低下する。前記メモリセルトランジスタは、データ読み出しのためのワード線電圧（コントロールゲート印加電圧）に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。書き込みや消去を行なうときはベリファイ動作を行ない、閾値電圧が消去状態又は書き込み状態に到達したか否かの検証を行なう。上記消去状態、書き込み状態は、前記ワード線、ソース線、ビット線、基板への電圧印加状態によって制御される。その制御手法は公知であるから詳細な説明は省略する。

【 0 0 2 3 】

フラッシュメモリコントローラ4は、例えばIDEディスクインタフェース仕様などに従ってフラッシュメモリ2をアクセスするアクセス制御機能を有する。このアクセス制御機能にしたがってフラッシュメモリ2をアクセスするときECC機能によりライトデータに対してエラーコードの付加、リードデータに対してエラー検出・訂正を行なう。アクセス制御機能にしたがってフラッシュメモリ2へデータ書き込みを行なうとき、書き込みベリファイ動作で書き込み不良が発生した場合には、当該不良領域を代替領域に代替させる代替制御機能を備える。更に、フラッシュメモリコントローラ4は、アクセス制御機能によるリード時とは別にフラッシュメモリ2の記憶情報に対してエラー検出・訂正処理を行なって記憶情報の信頼性を向上させる記憶情報検証機能を備える。この記憶情報検証機能は、ディスク領域に対してコンピュータのOS (Operating System) が行なうディスクスキャンによるエラー訂正機能をメモリカード1自体で実現可能にする機

能として位置付けることができる。

【 0 0 2 4 】

前記フラッシュメモリコントローラ 4 は、ホストインタフェース回路 1 0、演算制御手段としてのマイクロプロセッサ (MPU) 1 1、メモリインタフェース回路としてのフラッシュインタフェース回路 1 2、バッファコントローラ 1 3、及び ECC 回路 1 4 を備える。前記 MPU 1 1、バッファコントローラ 1 3、及び ECC 回路 1 4 はフラッシュメモリコントローラ 4 の制御回路を構成する。

【 0 0 2 5 】

MPU 1 1 は、CPU (Central Processing Unit) 2 7、モードレジスタ 2 5、タイマ 2 6 及び図示を省略するプログラムメモリなどを有し、フラッシュメモリコントローラ 4 を全体的に制御する。プログラムメモリは CPU 2 7 の動作プログラムなどを保有する。

【 0 0 2 6 】

前記ホストインタフェース回路 1 0 は、ATA (AT Attachment)、IDE (Integrated Device Electronics)、SCSI (Small Computer System Interface) 等の所定のプロトコルに従って、パーソナルコンピュータ又はワークステーションなどのホストコンピュータ 1 6 とインタフェースを行う回路である。ホストインタフェース動作の制御はアクセスバス 2 0 を介して MPU 1 1 が行う。上記プロトコルは公知であるから詳細な説明を省略する。

【 0 0 2 7 】

前記バッファコントローラ 1 3 はアクセスバス 2 1 を介して MPU 1 1 から与えられるアクセス指示に従って、データバッファ 3 のメモリアクセス動作を制御する。データバッファ 3 にはホストコンピュータ 1 6 からホストインタフェース回路 1 0 に入力されたデータ、又はホストインタフェース回路 1 0 からホストコンピュータ 1 6 に出力するデータが一時的に保持される。また、データバッファ 3 には、フラッシュメモリ 2 から読み出されたデータ又はフラッシュメモリ 2 に書き込まれるデータが一時的に保持される。

【 0 0 2 8 】

フラッシュインタフェース回路 1 2 はアクセスバス 2 2 を介して MPU 1 1 か

ら与えられるアクセス指示に従って、フラッシュメモリ 2 に対する、読み出し動作、消去動作及び書き込み動作を制御する。フラッシュインタフェース回路 1 2 は、読み出し動作において読み出しコマンドコードや読み出しアドレス情報等の読み出し制御情報をフラッシュメモリ 2 に出力し、書き込み動作において書き込みコマンドコード及び書き込みアドレス情報などの書き込み制御情報をフラッシュメモリ 2 に出力し、消去動作において消去コマンド等の消去制御情報をフラッシュメモリ 2 に出力する。

【 0 0 2 9 】

ECC 回路 1 4 は、前記アクセス制御機能の一環として、アクセスバス 2 3 を介して MPU 1 1 から与えられる指示に従って、フラッシュメモリ 2 に書き込むデータに対してエラー訂正符号（エラー訂正コード）を生成して、書き込みデータに付加するために、フラッシュインタフェース回路 1 2 に出力する。また、フラッシュメモリ 2 から読み出された読み出しデータを当該読み出しデータに付加されているエラー訂正符号を用いてエラー検出・訂正処理を行い、そのエラー訂正能力範囲のエラー発生に対してエラー訂正を行う。更に ECC 回路 1 4 は、記憶情報検証機能の一環として、ホストコンピュータ 1 6 からのアクセス指示に回答する処理とは別に、フラッシュメモリから読み出したデータに対してエラー検出・訂正処理を行い、エラー訂正されたデータをフラッシュメモリ 2 に書き戻すときのエラー訂正コードを生成する。書き戻しに際しては、前記代替制御機能と同様に、代替領域を用いることも可能とされる。以下、前記記憶情報検証機能について詳細に説明する。

【 0 0 3 0 】

図 2 にはフラッシュメモリ 2 の記憶領域が例示される。フラッシュメモリ 2 の記憶領域は、データ領域 3 0、代替領域 3 1、パラメータ領域としてのパラメータセクタ 3 2、代替管理領域としての代替領域管理テーブル 3 3 に大別される。各領域 3 0～3 3 は、特に制限されないが、512 バイトのセクタデータ S_n 、セクタデータ S_n に対する複数バイトの ECC コード（エラー訂正符号）、当該セクタの管理情報 M_n 、及び管理情報 M_n に対する ECC コードを有するフォーマットの領域を単位領域 B L K として有する。尚、各単位領域 B L K に対しては

フラッシュメモリ 2 のデバイスプロセス段階で発生する欠陥救済のための冗長の一部とされる冗長救済用の記憶領域が設けてあり、冗長救済が行なわれた場合には救済されるべきアドレスにマッピングされ、救済に用いなければアドレスマッピングは行なわれない。

【 0 0 3 1 】

前記データ領域 3 0 は例えばユーザに開放されるデータ領域とされる。経時的にデータ領域 3 0 等で書込みエラーを生じたとき、エラーを生じたデータ領域 3 0 等の単位領域 B L K を代替するのに前記代替領域 3 1 が用いられる。代替の単位は単位領域 B L K を最小単位とする。

【 0 0 3 2 】

前記管理情報 M n は、当該セクタアドレスが不良であることを示す不良フラグ、E C C によるエラー発生回数^①を示すデータ（エラー発生回数データ）、及びホストが指定する論理アドレスとの対応情報などが格納される。

【 0 0 3 3 】

代替領域管理テーブル 3 3 は、特に制限されないが、データ領域の単位領域 B L K に対応する不良登録データを有し、この不良登録データは代替先の単位領域のアドレスを特定する代替先アドレス情報とされ、代替領域先頭アドレスからのオフセットアドレスとして与えられている。不良登録データと単位領域 B L K との対応は一対一対応とされる。したがって、単位領域 B L K の物理アドレスに基づいてアドレス演算を行うことにより、対応する不良登録データを得ることができる。例えばセクタアドレス “k” が不良のとき、不良アドレス “k” の代替先がセクタアドレス “x” であるとすれば、当該セクタアドレス “k” に対応される不良登録データとして、代替セクタ “x” のオフセットアドレスが設定される。

【 0 0 3 4 】

パラメータセクタ 3 2 には記憶情報検証機能で用いるパラメータデータを保持する。パラメータデータは、特に制限されないが、電源投入時に記憶情報検証処理を実行するか否かを指示する第 1 イネーブルビット、一定時間毎に記憶情報検証処理を実行するか否かを指示する第 2 イネーブルビット、上記一定時間（記

憶情報検証処理間隔)を規定する時間データ、記憶情報検証処理におけるエラー発生時の書き戻し処理で同一セクタアドレスへの書き戻しを許容する最大のエラー発生回数を規定するエラー回数データ、記憶情報検証処理におけるエラー発生時の書き戻し処理で同一セクタアドレスへの書き戻しを許容する最大エラービット数を示すビット数データとされる。パラメータセクタ32に保持されたパラメータデータはフラッシュメモリコントローラ4のパワーオンリセット時などにおける初期化動作に呼応してMPU11のモードレジスタ25にイニシャルロードされる。

【0035】

図1に基づいて前記記憶情報検証処理動作について全体的に説明する。記憶情報検証処理動作の開始が指示されると、MPU11は、フラッシュインタフェース回路12を介してフラッシュメモリ2に読み出し制御情報を供給させ、フラッシュメモリ2から所定の単位領域BLKのセクタデータSnと管理情報Mnをリードしてデータバッファ3へ格納する。これと共に、MPU11はECC回路14に、前記リードしたセクタデータMnに対して、対応するECCコードに基づくエラーチェックを実行させる(図1の経路(1)参照)。

【0036】

次にMPU11は、ECC回路14からエラーチェック結果を読み取る(図1の経路(2)参照)。ECC回路14でエラーが検出された場合には、MPU11はリードしたセクタデータに対応する管理情報Mnに含まれるエラー発生回数を基に今回までに発生したエラー回数が、モードレジスタ25が保有する所定回数を超えたか否かを判定する。所定回数とは、例えば前記パラメータ領域32が保持する回数データが示す回数であって、その回数データはフラッシュメモリコントローラ4の初期化動作でモードレジスタ25にイニシャルロードされる。或はMPU11は、ECC回路14で検出したエラービット数がモードレジスタ25が保有する所定ビット数を超えたか否かを判定する。所定ビット数とは、例えば前記パラメータ領域32が保持するビット数データが示す数であって、そのビット数データはフラッシュメモリコントローラ4の初期化動作でモードレジスタ25にイニシャルロードされる。当然、このビット数データが示すエラービット

数はECC回路14で訂正可能なエラービット数の最大値以下である。MPU11が、データバッファ3に格納されているデータに対し、エラー訂正を行った後、エラー発生回数又はエラービット数がモードレジスタのイニシャルロード値以下の場合には同一場所に書き戻す(図1の経路(3))。エラー発生回数またはエラービット数がモードレジスタのイニシャルロード値を超えた場合には代替先へ書き戻す(図1の経路(4))。データの書き戻しに際してフラッシュインタフェース回路12は書き込み制御情報をフラッシュメモリ2に与える。

【0037】

図3には前記記憶情報検証処理の起動手順を例示する。電源投入時、フラッシュメモリコントローラ4が初期化される(S1)。初期化動作では、例えば、フラッシュメモリ2のパラメータセクタ32に保持されているパラメータが前記モードレジスタ25にイニシャルロードされる。次に電源投入時に記憶情報検証処理を行なう否かを前記モードレジスタ25の第1イネーブルビットの値に基づいて判定する(S2)。

【0038】

電源投入時に記憶情報検証処理を行なわない場合には、ホストコンピュータからメモリカードアクセスの為のホストコマンドが発行されているか否かを判定し(S3)、発行されていればそのコマンドを処理して(S4)、再びステップS3に戻る。

【0039】

ステップS3においてホストコマンド発行されていないならば、一定時間毎に記憶情報検証処理を行なうか否かを第2イネーブルビットの値に基づいて判定する(S5)。一定時間毎に記憶情報検証処理を行なう場合には、アイドル時間に累計を計測する(S6)。即ち、MPU11のタイマ26を用いて、MPU11がホストコマンドを実行していない時間を計測する。累積したアイドル時間が設定時間、即ちモードレジスタ25にイニシャルロードされた時間情報が示す時間を超えたか否かを判定し(S7)、超えたとき、タイマで累積されたアイドル時間をクリアした後(S8)、記憶情報検証処理を行なう(S9)。前記ステップS2で第1イネーブルビットがイネーブルのときは、先ず最初に記憶情報検証処理

が行われる（S 9）。

【 0 0 4 0 】

図 4 には前記記憶情報検証処理の別の起動手順が例示される。図 3 との相違点は、記憶情報検証処理の指示をホストコンピュータからのコマンドによっても開始可能になっていることである。即ち、ステップ S 3 の次に、ステップ S 1 0 で記憶情報開始コマンドの発行を検出する。これを検出すると、記憶情報検証処理（S 9）を行なう。

【 0 0 4 1 】

図 5 には前記記憶情報検証処理 S 9 のフローチャートが例示される。先ず、例えば CPU 2 7 の一つの汎用レジスタをフラッシュメモリのセクタアドレスカウンタ SA とし、これを初期化する（S 1 1）。フラッシュメモリのセクタアドレスは、フラッシュメモリに格納されているデータを示すアドレス（物理アドレス）である。このセクタアドレスはホストコンピュータが指定する論理アドレスと対応している。次に、セクタアドレスカウンタ SA の値に基づいて対応するセクタデータをデータバッファ 3 にリードする。同時にそのセクタデータに應ずる ECC コードを用いて ECC 回路 1 4 にセクタデータに対するエラー検出を実行させる（1 2）。CPU 2 7 はその結果に対してエラーの有無を判定し、エラーが発生していれば、ECC 回路 1 4 にエラー訂正を実行させ（S 1 4）、訂正されたデータをフラッシュメモリに書き戻す処理を実行させる（S 1 5）。エラー訂正処理は BCH（Bose-Chaudhuri-Hocqenghen）符号、リードソロモン符号などの符号に対する公知の訂正方法を利用すればよい。セクタアドレスカウンタ SA の値が最大値になっていなければ（S 1 6）、セクタアドレスカウンタ SA の値を + 1 とし（S 1 7）、ホストコマンド発行の有無を調べ（S 1 8）、なければステップ S 1 2 に戻って同様の処理を繰返す。ホストコマンドの発行があれば、それが記憶情報検証コマンドならステップ S 1 2 に戻って同様の処理を繰返し、その他のコマンドなら当該その他のコマンド処理を許容して（S 2 0）、記憶情報検証処理中にホストコンピュータがコマンドを発行したとき、そのコマンドの処理を優先するようになっている。前記ステップ S 1 6 でセクタアドレスカウンタ SA の値が最後まで（最大値）に到達したときは、フラッシュメモリ 2 に対して

記憶情報検証処理を一巡できたことになるから、記憶情報検証処理 S 9 を終了する。

【0042】

図 6 には前記書き戻し処理 S 15 のフローチャートが例示される。同図に例示される処理はエラー発生回数によって書き戻し場所を切換える例である。先ずデータバッファ 3 に格納されているセクタデータのエラー個所を訂正する (S 21)。このとき、今回のエラー発生により当該セクタのエラー発生回数がモードレジスタの最大値 (例えば 4 回) 以上になっているかを判定する (S 22)。3 回以下であれば、エラー発生回数を +1 して (S 23)、エラー訂正を行なったセクタデータをセクタアドレスカウンタ SA のセクタに書き戻す (S 24)。当該セクタ対応の管理情報のエラー発生回数も更新される。エラー発生回数が 4 回以上であれば、代替セクタアドレスを算出し (S 25)、エラー訂正を行なったセクタデータを代替セクタアドレスに書き戻す (S 26)。このとき、当該代替セクタの管理情報のエラー発生回数はゼロにされる。代替セクタアドレスの算出は、代替領域の空きセクタを検出し、最初に見つかった空きセクタを代替先とする。

【0043】

図 7 には前記書き戻し処理 S 15 の別のフローチャートが例示される。同図に例示される処理はエラービット数に応じて書き戻し場所を切換える例である。先ずデータバッファ 3 に格納されているセクタデータのエラー個所を訂正する (S 31)。このとき、今回のエラー発生により当該セクタのエラー発生ビット数がモードレジスタの最大値 (例えば 2 ビット) 以上になっているかを判定する (S 32)。1 ビット以下であれば、エラー訂正を行なったセクタデータをセクタアドレスカウンタ SA のセクタに書き戻す (S 33)。エラー発生ビット数が 2 ビット以上であれば、代替セクタアドレスを算出し (S 34)、エラー訂正を行なったセクタデータを代替セクタアドレスに書き戻す (S 35)。代替セクタアドレスの算出は、代替領域の空きセクタを検出し、最初に見つかった空きセクタを代替先とする。

【0044】

図 8 には前記書き戻し処理 S 1 5 の更に別のフローチャートが例示される。同図に例示される処理は常に読み出しセクタと同じセクタに書き戻す例である。データバッファ 3 に格納されているセクタデータのエラー個所を訂正する (S 4 1)。その後エラー訂正を行なったセクタデータをセクタアドレスカウンタ S A のセクタに書き戻す (S 4 2)。

【 0 0 4 5 】

図 9 には前記書き戻し処理 S 1 5 の更に別のフローチャートが例示される。同図に例示される処理は常に読み出しセクタとは異なる代替セクタに書き戻す例である。データバッファ 3 に格納されているセクタデータのエラー個所を訂正する (S 4 3)。次に代替セクタアドレスを算出し (S 4 4)、エラー訂正を行なったセクタデータを代替セクタアドレスに書き戻す (S 4 5)。

【 0 0 4 6 】

図 1 0 には前記書き戻し処理 S 1 5 の更に別のフローチャートが例示される。同図に例示される処理はエラー発生回数及びエラー発生ビット数の双方に基づいて書き戻し場所を切替える例である。先ずデータバッファ 3 に格納されているセクタデータのエラー個所を訂正する (S 5 1)。このとき、今回のエラー発生により当該セクタのエラー発生回数がモードレジスタの最大値 (例えば 4 回) 以上になっているかを判定する (S 5 2)。3 回以下であれば、今度は、今回のエラー発生により当該セクタのエラー発生ビット数がモードレジスタの最大値 (例えば 2 ビット) 以上になっているかを判定する (S 5 3)。1 ビット以下であれば、エラー発生回数を + 1 して (S 5 4)、エラー訂正を行なったセクタデータをセクタアドレスカウンタ S A のセクタに書き戻す (S 5 5)。当該セクタ対応の管理情報のエラー発生回数も更新される。エラー発生ビット数が 2 ビット以上であれば、代替セクタアドレスを算出し (S 5 6)、エラー訂正を行なったセクタデータを代替セクタアドレスに書き戻す (S 5 7)。このとき、当該代替セクタの管理情報のエラー発生回数はゼロにされる。

【 0 0 4 7 】

以上より、フラッシュメモリコントローラ 4 は、外部からのアクセス要求に従って記憶情報を外部に読み出すのとは別に、記憶情報のエラー検出・訂正を行う

。したがって、ホストコンピュータ16がメモ리카ード1のフラッシュメモリ2から記憶情報を読み出さなくてもフラッシュメモリ2のデータ保持に対する信頼性を向上させることができる。このデータ検証を定期的に行うことで、時間的経過により発生するデータ変化を常に正常なデータに保つことが可能なので、データ信頼性の確保が可能である。時間的経過によるデータ変化が著しいフラッシュメモリ2を用いた場合でも、定期的にフラッシュメモリ2のデータを検証することで、データの信頼性を確保することができる。

【0048】

上記エラー検出・訂正処理において訂正回数すなわちエラー発生回数が多ければ何れ訂正不能なエラー発生 of 虞が強くなる。エラー発生回数やエラービット数がある程度進んだところで、エラー訂正されたセクタデータを書き戻すセクタを代替領域のセクタに変更するから、訂正不能になる前に対処することができる。

【0049】

エラー検出・訂正処理に利用する前記所定回数の情報等のパラメータをパラメータセクタに不揮発的に保持するところにより、電源遮断によってもその情報が失われないようになる。

【0050】

また、前記MPU11は、エラー検出・訂正処理で発生したエラー発生回数を前記フラッシュメモリ2の対応するデータ領域に記録していおけば、セクタ単位のような所定記憶領域毎 of エラー発生回数の情報管理を容易化できる。

【0051】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0052】

例えば、フラッシュメモリの単位領域BLK中のセクタデータは1セクタ分に限定されず、4セクタ分等のように適宜のサイズとすることが可能である。不揮発性メモリはフラッシュメモリに限定されず強誘電体メモリなどであってもよい。また、フラッシュメモリコントローラは1チップであってもマルチチップであ

ってもよい。エラー検出・訂正処理はMPUとは別のECC回路で行なう場合に限定されない。CPUとそのソフトウェア（動作プログラム）で実行させてもよい。また、記憶情報検証処理の開始は、電源投入時、一定期間毎、及びホストコマンドの指示毎の組み合わせに限定されず、その他の適宜の組み合わせとし、或は何れか一つとし、また別の事象を開始のトリガとすることも可能である。

【0053】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0054】

不揮発性メモリ内に格納されているデータ検証を（ホストコンピュータの動作と係わりなく）行うことで、時間的経過によって発生する不揮発性メモリ内のデータ変化を検出し、そのエラーを訂正して不揮発性メモリに書き戻すことで、データの信頼性を保持することができる。また、このデータ検証を定期的に行うことで、時間的経過により発生するデータ変化を常に正常なデータに保つことが可能なので、データ信頼性の確保が可能である。時間的経過によるデータ変化が著しい不揮発性メモリを用いた場合でも、定期的に不揮発性メモリのデータを検証することで、データの信頼性を確保することができる。

【0055】

ホスト装置がメモ리카ードの不揮発性メモリから記憶情報を読み出さなくても不揮発性メモリのデータ保持に対する信頼性を向上させることができる。

【0056】

メモ리카ードにおける不揮発性メモリのデータ保持に対する信頼性向上をホスト装置に負担をかけずに実現することができる。

【図面の簡単な説明】

【図1】

本発明に係るメモ리카ードの一例を示すブロック図である。

【図2】

フラッシュメモリの記憶領域を例示する説明図である。

【図3】

記憶情報検証処理の起動手順を例示するフローチャートである。

【図4】

記憶情報検証処理の別の起動手順を例示するフローチャートである。

【図5】

記憶情報検証処理を例示するフローチャートである。

【図6】

書き戻し処理の一例としてエラー発生回数によって書き戻し場所を切換える場合のフローチャートである。

【図7】

書き戻し処理の別の例としてエラービット数に応じて書き戻し場所を切換える場合のフローチャートである。

【図8】

書き戻し処理の更に別の例として常に読み出しセクタと同じセクタに書き戻す場合のフローチャートである。

【図9】

書き戻し処理の更に別の例として常に読み出しセクタとは異なる代替セクタに書き戻す場合のフローチャートである。

【図10】

書き戻し処理の更に別の例としてエラー発生回数及びエラー発生ビット数の双方に基づいて書き戻し場所を切換える場合のフローチャートである。

【符号の説明】

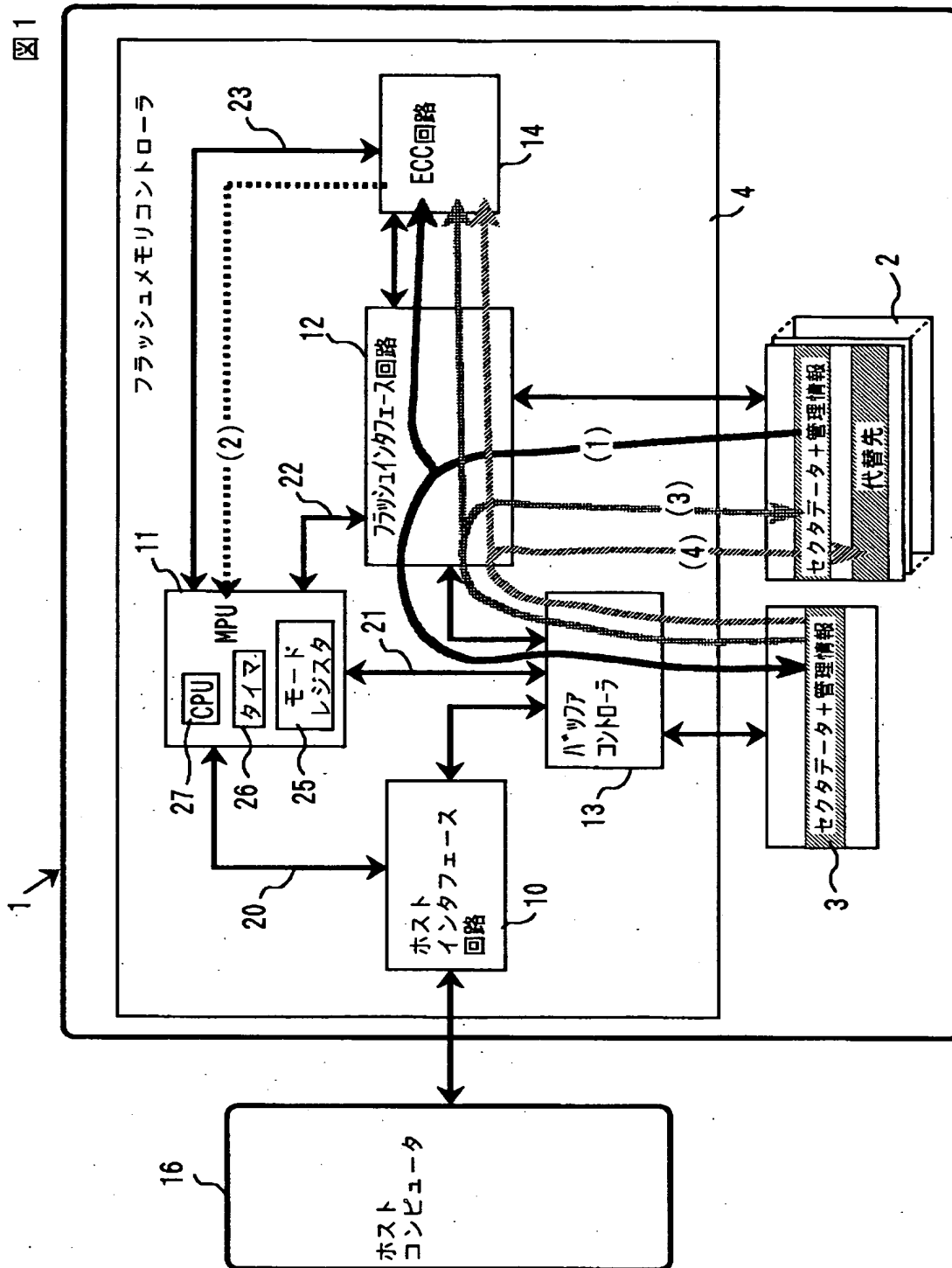
- 1 メモリカード
- 2 フラッシュメモリ（不揮発性メモリ）
- 3 データバッファ
- 4 フラッシュメモリコントローラ（メモリコントローラ）
- 10 ホストインタフェース回路
- 11 マイクロプロセッサ
- 12 フラッシュインタフェース回路（メモリインタフェース回路）

- 1 3 バッファコントローラ
- 1 4 ECC回路
- 1 6 ホストコンピュータ
- 2 5 モードレジスタ
- 2 6 タイマ
- 2 7 CPU
- 3 0 データ領域
- S n セクタデータ
- M n 管理情報
- 3 1 代替領域
- 3 2 パラメータセクタ
- 3 3 代替領域管理テーブル

【書類名】 図面

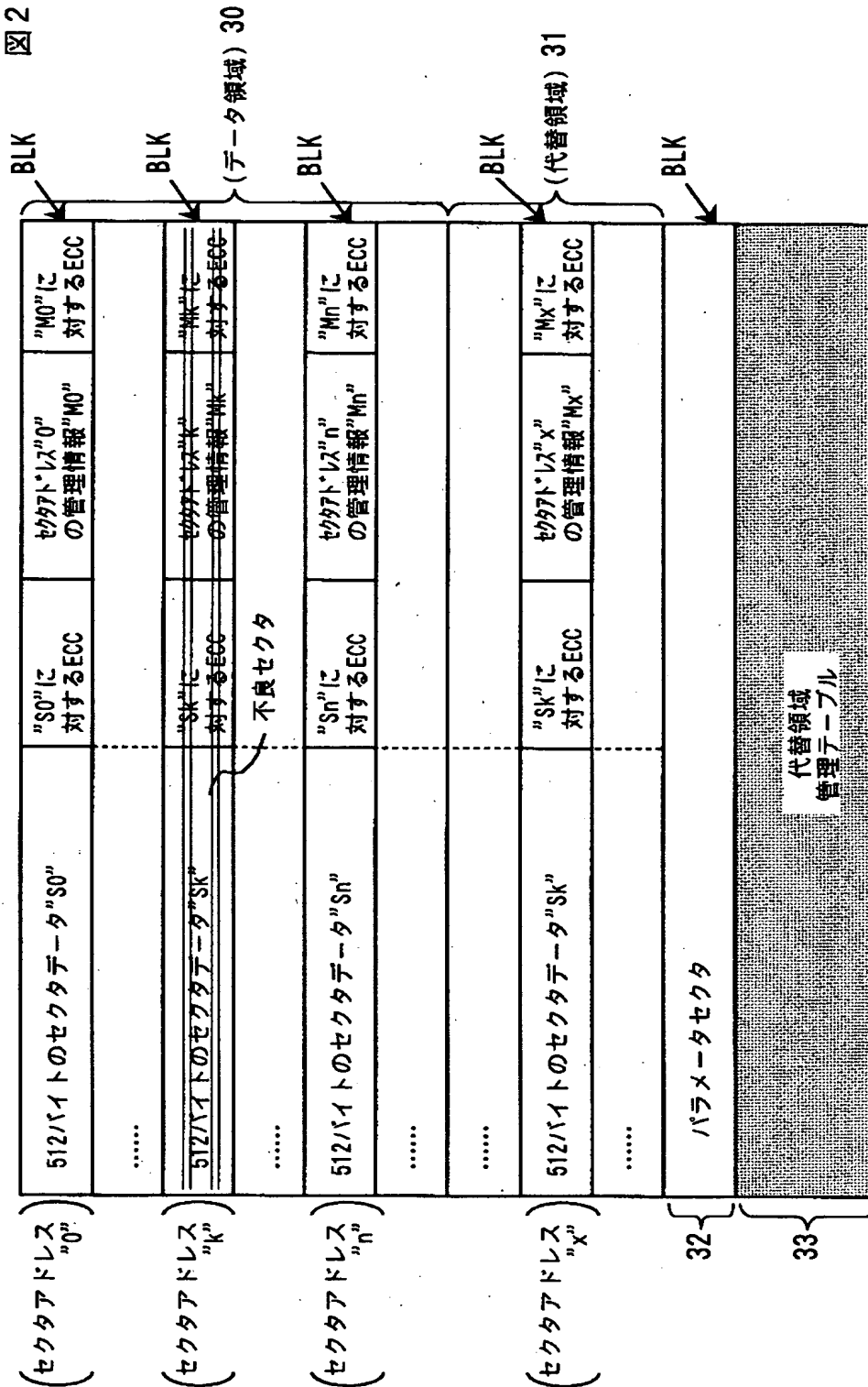
【図 1】

一
四



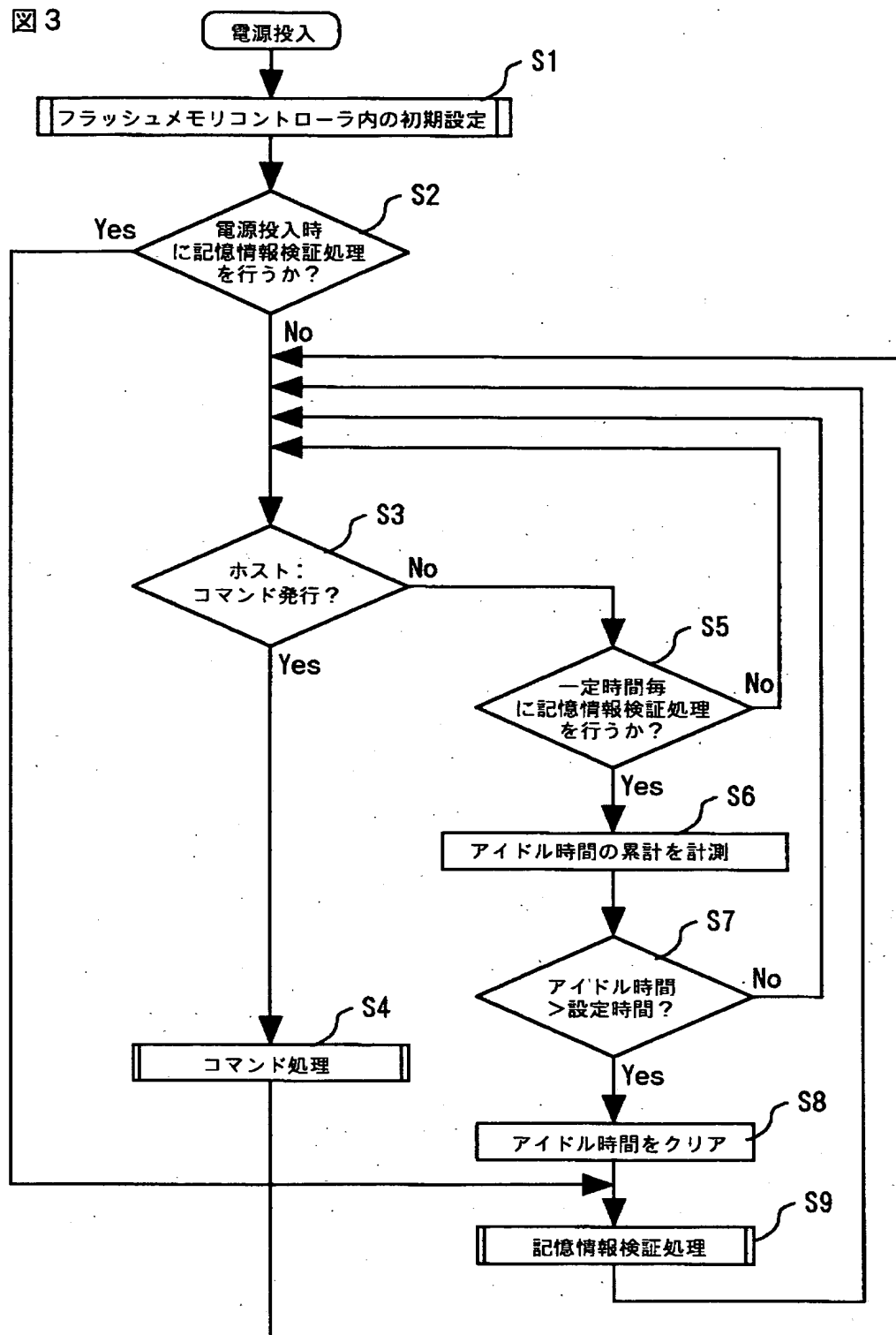
【図2】

図2



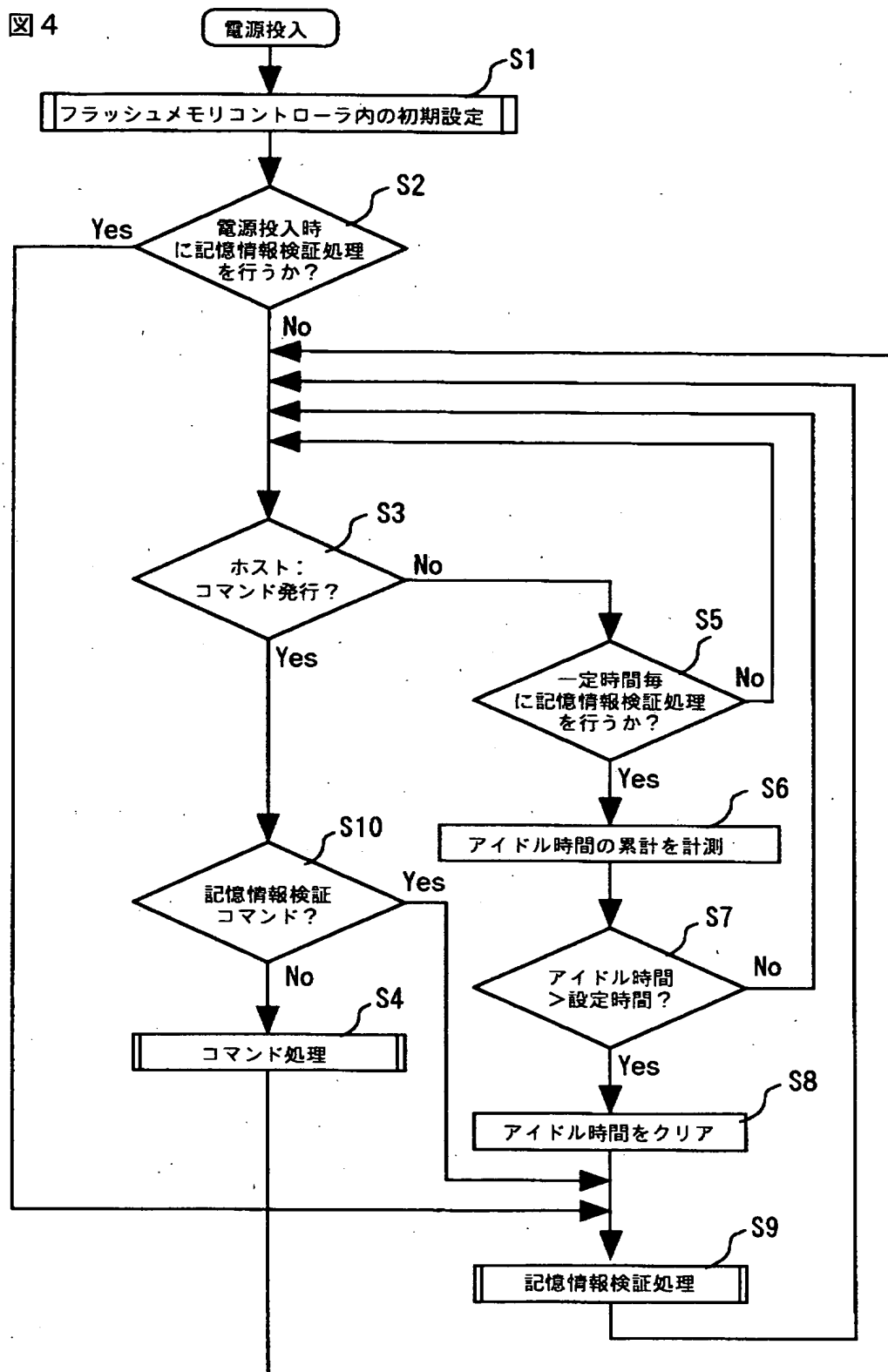
【図 3】

図 3



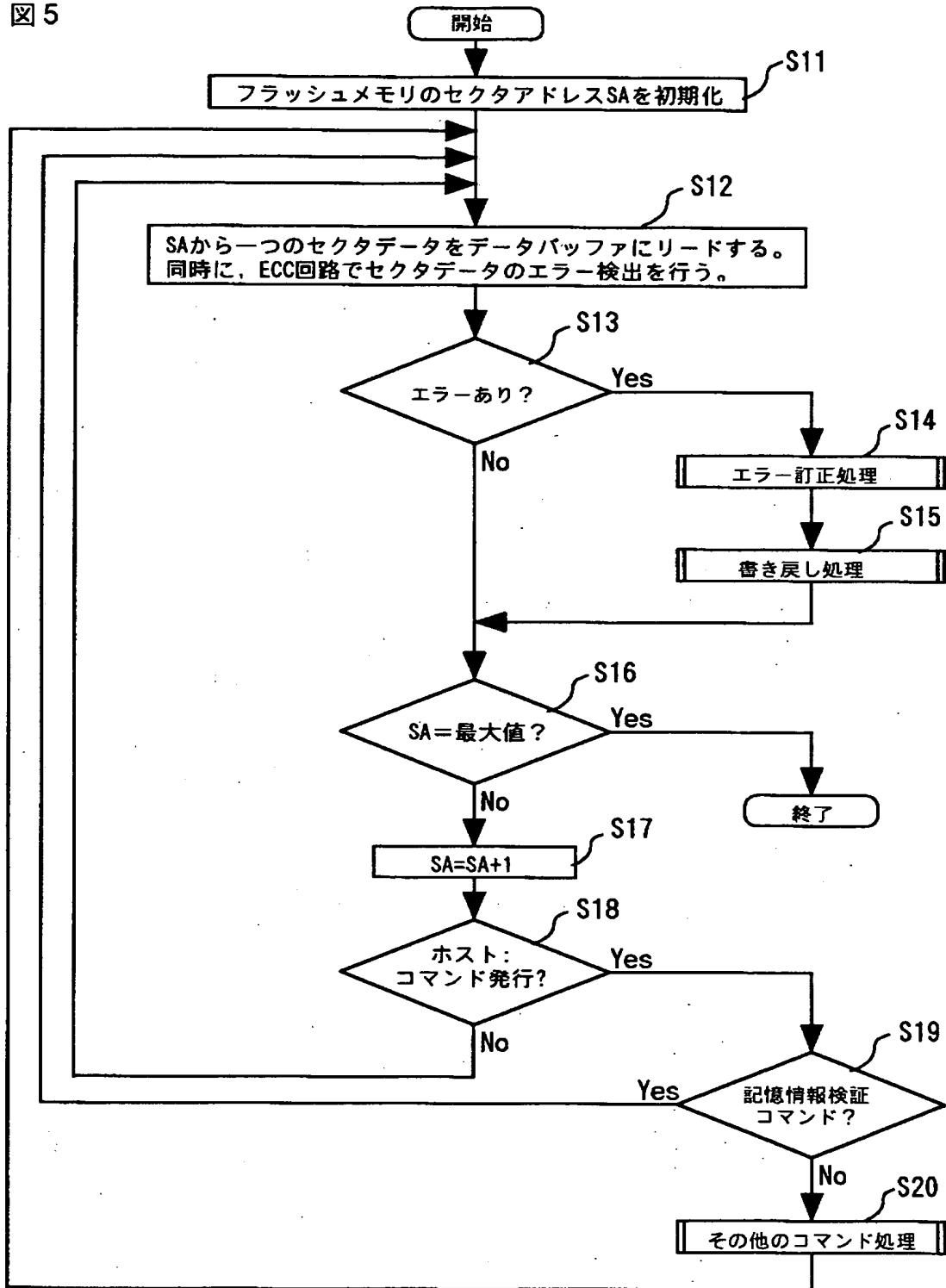
【図 4】

図 4



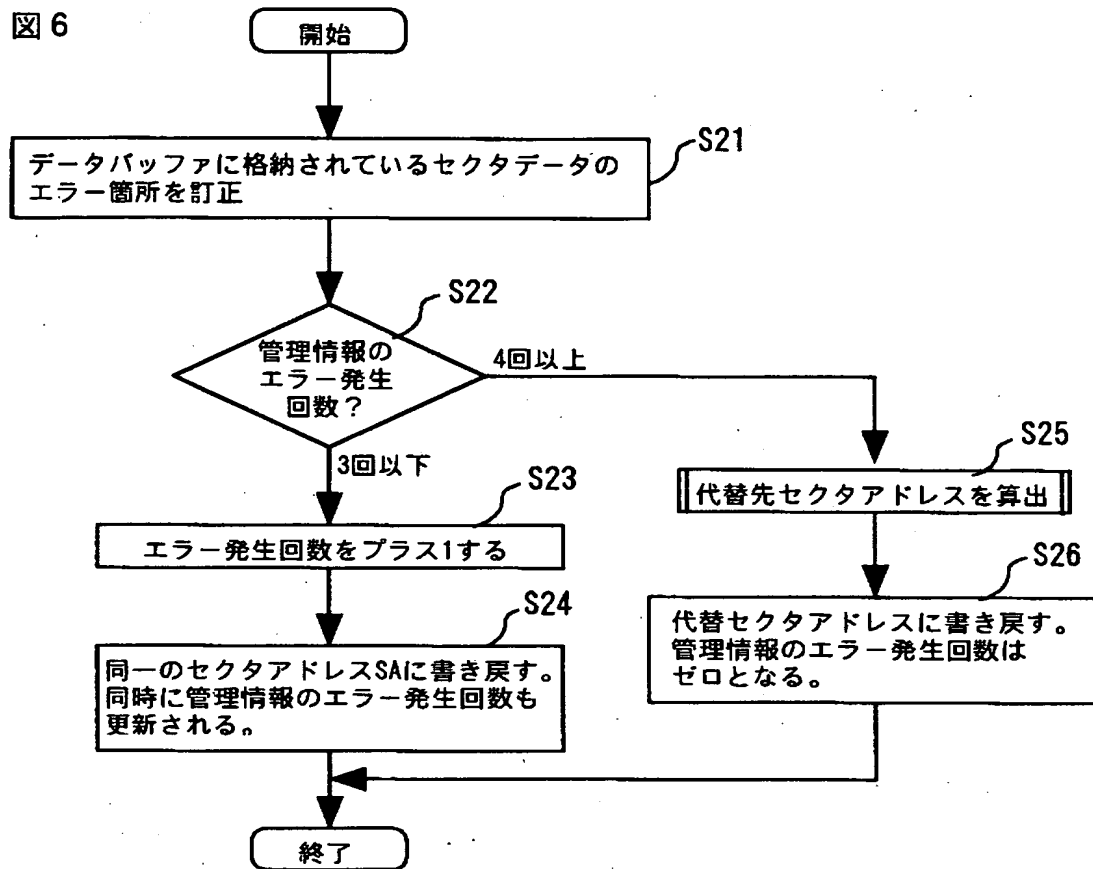
【図 5】

図 5

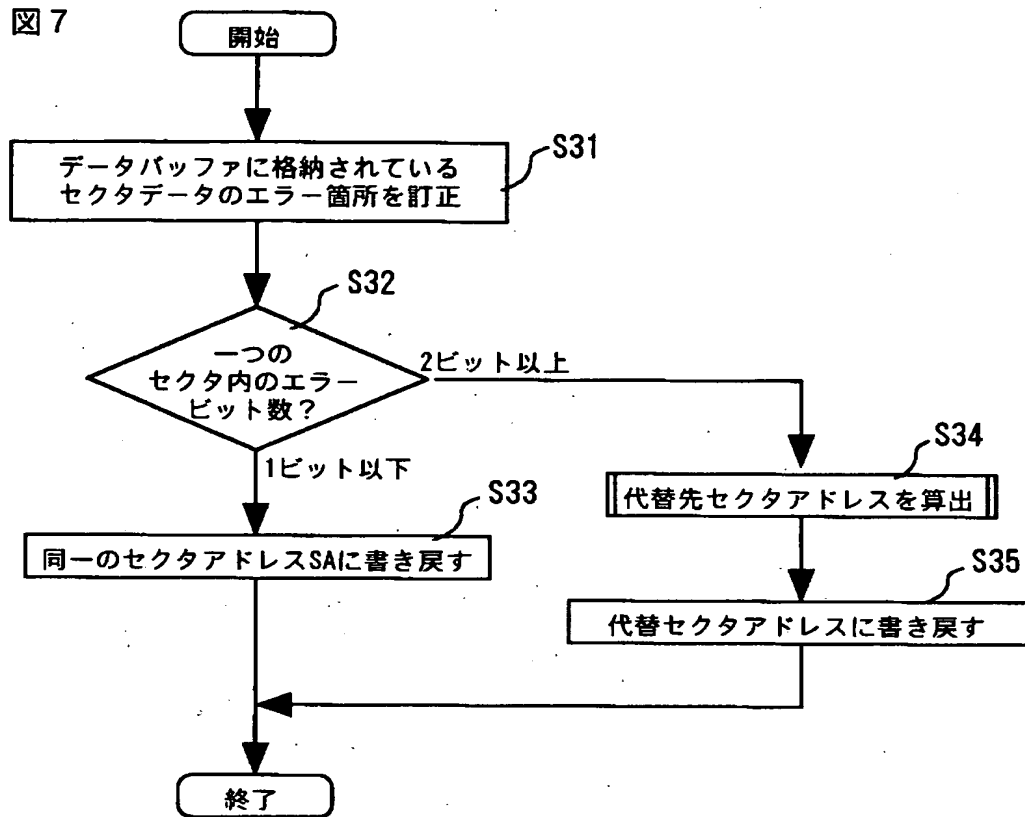


【図 6】

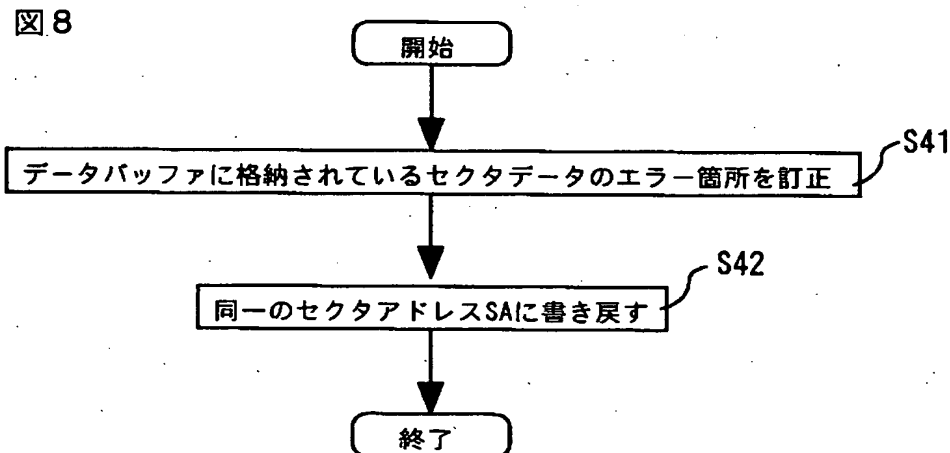
図 6



【図 7】

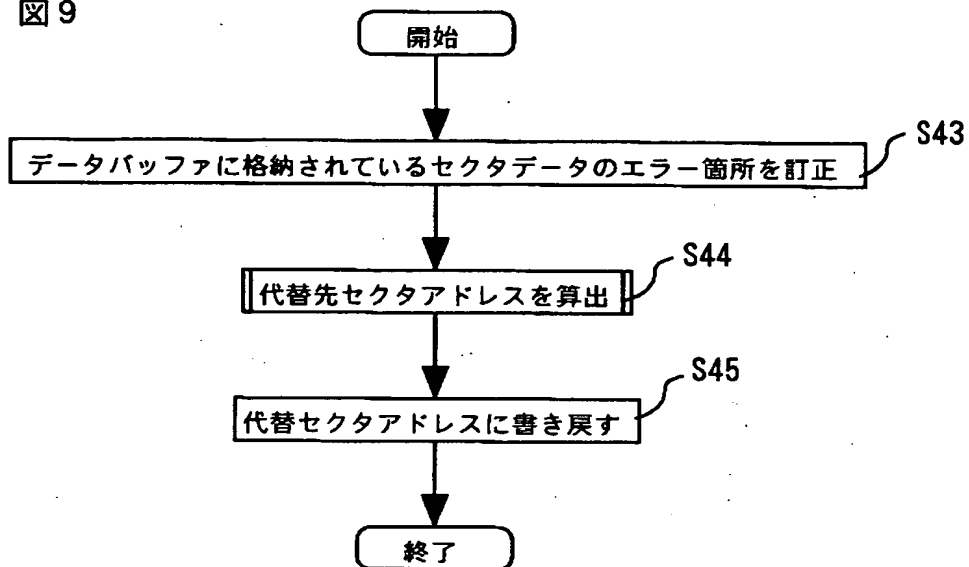


【図 8】



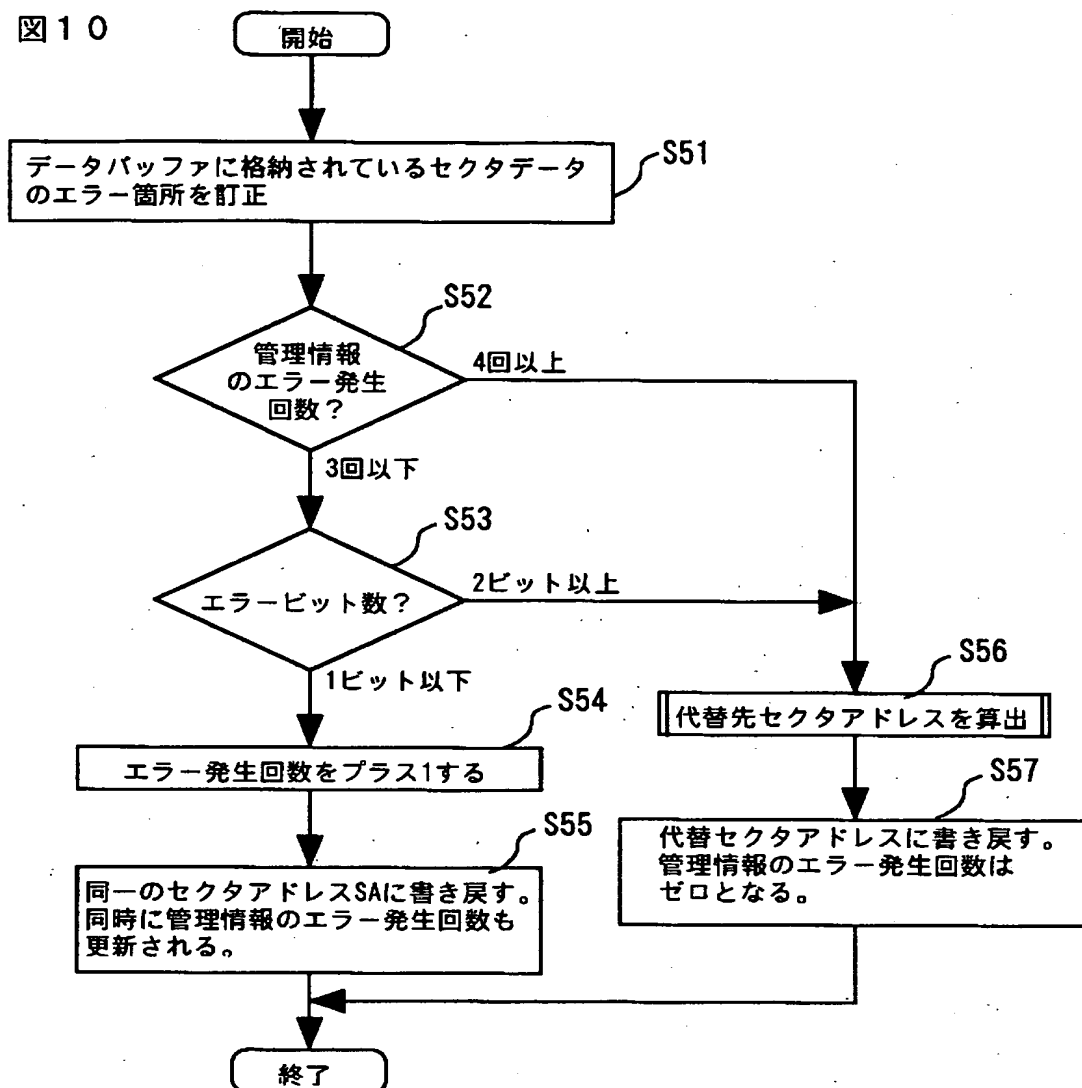
【図 9】

図 9



【図10】

図10



【書類名】 要約書

【要約】

【課題】 ホスト装置がメモリカードの不揮発性メモリから記憶情報を読み出さなくても不揮発性メモリのデータ保持に対する信頼性を向上させる。

【解決手段】 メモリカードは、不揮発性メモリ（２）と、前記不揮発性メモリの動作を制御するメモリコントローラ（４）とを有する。メモリコントローラは、所定のプロトコルに従って外部とインタフェース可能であり、メモリコントローラは、外部からのアクセス要求に従って記憶情報を外部に読み出すのとは別に、定期的に或は電源投入時などのタイミングで、記憶情報のエラー検出・訂正を行う。したがって、ホスト装置がメモリカードの不揮発性メモリから記憶情報を読み出さなくても不揮発性メモリのデータ保持に対する信頼性を向上させることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号

[000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ